

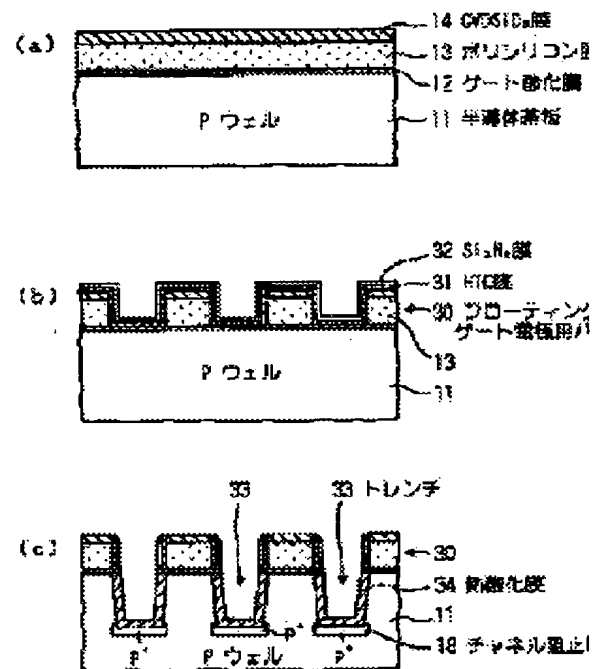
MANUFACTURE OF NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

Patent number: JP11103033
Publication date: 1999-04-13
Inventor: IKEDA TADASHI; YAMAMURA YASUHIRO
Applicant: SONY CORP
Classification:
- international: H01L27/115; H01L21/76; H01L21/8247; H01L29/788; H01L29/792
- european:
Application number: JP19970263944 19970929
Priority number(s):

Abstract of JP11103033

PROBLEM TO BE SOLVED: To provide a method for manufacturing a nonvolatile semiconductor memory device of an NAND type, using self-aligned shallow trench isolation (SA-STI) cells, which can remove a phenomenon such that a trench-type element isolation region end is positioned outside of a floating gate electrode end for suppressing defective memory cells caused by the phenomenon.

SOLUTION: A CVD SiO₂ film 14 and a polysilicon film 13 are subjected to a patterning process to form a pad 30 for a floating gate electrode, trenches 33 are made into a surface of a semiconductor substrate 11 with the use of a pad 30 having an HTO film 31 and an Si₃N₄ film 32 deposited thereon as a mask. Then a resultant structure is subjected to a thermal oxidation process to form a thermal oxidized film 34 having thickness such that the positions of interfaces between the oxide film on the trenches 33 and the semiconductor substrate are located on a channel center side of the end of the pad 30.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-103033

(43)公開日 平成11年(1999) 4月13日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/115
21/76
21/8247
29/788
29/792

H 0 1 L 27/10 4 3 4
21/76 L
29/78 3 7 1

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21)出願番号

特願平9-263944

(22)出願日

平成9年(1997) 9月29日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 直史

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 山村 育弘

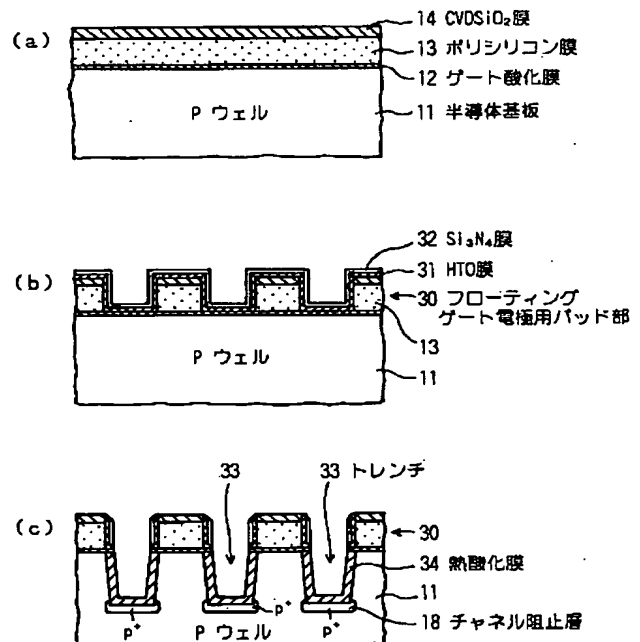
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54)【発明の名称】 不揮発性半導体記憶装置の製造方法

(57)【要約】

【課題】 トレンチ型の素子分離領域端部が、フローティングゲート電極端部より外側に位置するオフセット状態となる現象をなくし、この現象による不良メモリセル発生を抑制した、S A - S T Iセルを用いたNAND型の不揮発性半導体記憶装置の製造方法を提供する。

【解決手段】 C V D S i O₂ 膜14/ポリシリコン膜13をパターニングしてフローティングゲート電極用パッド部30を形成し、HTO膜31およびS i₃N₄ 膜32を堆積し、HTO膜31およびS i₃N₄ 膜32が堆積されたフローティングゲート電極用パッド30をマスクとして、半導体基板11表面部にトレンチ33を形成し、その後熱酸化により、トレンチ33上部における酸化膜と半導体基板との界面位置がフローティングゲート電極用パッド部30端部よりチャンネル中央部側になるような膜厚の熱酸化膜34を形成する。



【特許請求の範囲】

【請求項1】 素子分離領域をフローティングゲート電極の幅方向の端部に自己整合的に形成する工程を有するNAND型の不揮発性半導体記憶装置の製造方法において、

半導体基板上にトンネル絶縁膜とするゲート酸化膜を形成する工程と、

前記フローティングゲート電極とする、不純物を含む多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜上に第1の絶縁膜を形成する工程と、

少なくとも前記第1の絶縁膜および前記多結晶シリコン膜をパターンニングして、前記フローティングゲート電極用パッド部を形成する工程と、

少なくとも前記フローティングゲート電極用パッド部の前記多結晶シリコン膜側壁に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜が形成された前記フローティングゲート電極用パッド部をマスクとして、異方性プラズマエッチング法により、前記半導体基板表面部に素子分離用溝を形成する工程と、

熱酸化法により、前記素子分離用溝表面を酸化し、前記素子分離用溝側壁の上部に形成された酸化膜と前記半導体基板との界面位置が、前記フローティングゲート電極用パッド部側壁と前記第2の絶縁膜との界面位置よりメモリセルのチャンネル中央部側になるような膜厚の熱酸化膜を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】 前記第1の絶縁膜は、CVD SiO_2 膜であることを特徴とする、請求項1に記載の不揮発性半導体記憶装置の製造方法。

【請求項3】 前記第2の絶縁膜は、前記多結晶シリコン膜側壁を熱酸化して形成する熱酸化膜および高温CVD SiO_2 膜のうち、いずれか一方の酸化膜と、CVD法により堆積する酸化防止用絶縁膜とで構成したものであることを特徴とする、請求項1に記載の不揮発性半導体記憶装置の製造方法。

【請求項4】 前記酸化防止用絶縁膜は、減圧CVD法により形成される Si_3N_4 膜であることを特徴とする、請求項3に記載の不揮発性半導体記憶装置の製造方法。

【請求項5】 素子分離領域をフローティングゲート電極の幅方向の端部に自己整合的に形成する工程を有するNAND型の不揮発性半導体記憶装置の製造方法において、

半導体基板上にトンネル絶縁膜とするゲート酸化膜を形成する工程と、

前記フローティングゲート電極とする、不純物を含む多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜上に第1の絶縁膜を形成する工程

と、

少なくとも前記第1の絶縁膜および前記多結晶シリコン膜をパターンニングして、前記フローティングゲート電極用パッド部を形成する工程と、

少なくとも前記フローティングゲート電極用パッド部の前記多結晶シリコン膜側壁に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜が形成された前記フローティングゲート電極用パッド部をマスクとして、等方性プラズマエッチング法、および等方性プラズマエッチングと異方性プラズマエッチングを組み合わせたプラズマエッチング法のうち、何れか一方の方法を用いて前記半導体基板をエッチングし、前記エッチングにより形成される溝側壁の上部位置が、前記フローティングゲート電極用パッド部側壁と前記第2の絶縁膜との界面位置よりメモリセルのチャンネル中央部側の位置となるまでエッチングすることで素子分離用溝を形成する工程と、

熱酸化法により、前記素子分離用溝表面に熱酸化膜を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項6】 前記第1の絶縁膜は、CVD SiO_2 膜であることを特徴とする、請求項5に記載の不揮発性半導体記憶装置の製造方法。

【請求項7】 前記第2の絶縁膜は、前記多結晶シリコン膜側壁を熱酸化して形成する熱酸化膜であることを特徴とする、請求項5に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は不揮発性半導体記憶装置の製造方法に関し、さらに詳しくは、フローティングゲート型MOSトランジスタの不揮発性メモリセルを有する不揮発性半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】 近年、不揮発性半導体記憶装置として、フローティングゲート型MOSトランジスタの不揮発性メモリセルを用いたEPROM(Erasable Programmable Read-Only Memory)、EEPROM(Electrically Erasable Programmable Read-Only Memory)、EEPROMの一つで一括消去法を採る、フラッシュメモリ(Flash Memory)等が盛んに開発され、実用化もなされている。

【0003】 上述したフラッシュメモリには、NOR型フラッシュメモリとNAND型フラッシュメモリがあり、前者は一個のフローティングゲート型MOSトランジスタをフラッシュメモリに一つのメモリセルとするもので、後者は複数個、例えばN個のフローティングゲート型MOSトランジスタによるメモリセルを隣接させて

配置したNANDセルが一つの単位セルとなっているものである。この様なNAND型フラッシュメモリは、NOR型フラッシュメモリに比べて、ランダムアクセス速度は遅いが、高集積化の面で優れた構成となっているので、高集積化を目指したフラッシュメモリとして、近年盛んに開発され、実用化もなされているものである。

【0004】高集積化フラッシュメモリを目指して開発された、NAND型フラッシュメモリのNANDセル構造の一つとして、IEDM Tech. Dig. 1994, pp61~64に報告されている、素子分離領域を、フローティングゲート電極の幅方向の端部に自己整合的に形成するSA-STI (Self-Aligned Shallow Trench Isolation) セルを用いたNAND型フラッシュメモリがある。

【0005】NAND型セルとしての、上述したSA-STIセルの構成は、図7に示すようなものである。ここで、図7(a)はSA-STIセルの概略平面図で、(b)は図7(a)のA-A部、即ちメモリセルのフローティングゲート電極幅方向の概略断面図である。図7(a)に示すように、SA-STIセルは、ビット線と接続する選択MOSトランジスタのコンタクト部と、このコンタクト部側の選択MOSトランジスタと、フローティングゲート型MOSトランジスタによる複数のメモリセルと、ソースライン部と、ソースライン部側の選択MOSトランジスタとで構成されている。

【0006】素子分離領域は、図7(b)に示すように、チャンネル幅方向のフローティングゲート電極端部に自己整合的に形成した素子分離用溝(トレンチ)を用いる素子分離法、所謂トレンチ素子分離法で形成されたものである。また、図7(b)に示すように、素子分離領域のLPCVDSiO₂膜の表面がフローティングゲート電極の膜厚の半分より下方の位置となっているので、フローティングゲート電極に対向するコントロールゲート電極の面積が、フローティングゲート電極側壁部の寄与分で大きくくなっている。

【0007】上述したSA-STIセルを設計デザインルールの最小加工寸法(Minimum Feature Size)Fで設計すると、上述したSA-STIセルのメモリセルの面積Aは、図7(a)に示すように、理論的な最小面積である、 $A=4F^2$ で設計できる。従って、SA-STIセルにおいて、メモリセルの個数を増加させて、このメモリセル部分の面積を増加させれば、ビット線とのコンタクト部と、選択MOSトランジスタ部と、ソースライン部とを加えた面積がメモリセル部分の面積に比較して無視できる程度にすることができ、最小加工寸法の制限内で最も高集積化したNAND型フラッシュメモリが作製できる。

【0008】一方、クォータミクロン程度の最小加工寸法でフローティングゲート電極を形成して、フローティングゲート電極の厚みもクォータミクロン程度となる

と、フローティングゲート電極のチャンネル幅方向の側壁面がフローティングゲート電極とコントロールゲート電極間容量の電極面積増加に大きく寄与する。従って従来のようなフローティングゲート電極の素子分離領域への張り出し部分を設けなくとも、フローティングゲート電極に所望の電位を与えるためのコントロールゲート電極の電圧に関係する、フローティングゲート電極の所望の容量結合比を確保することができる。

【0009】ここで、上述した構成の、SA-STIセルを用いたNAND型フラッシュメモリである、不揮発性半導体記憶装置の製造方法を、図8~図10を参照して説明する。まず、図8(a)に示すように、NAND型フラッシュメモリのメモリセル部と周辺回路部等とを分離するためのP型のウェル等が形成されている半導体基板11表面に、熱酸化法を用いて、フローティングゲート型MOSトランジスタのトンネル絶縁膜にする、ゲート酸化膜12を形成する。その後、減圧CVD法等により、フローティングゲート電極とする、不純物をドーブしたポリシリコン膜13を形成し、更に常圧CVD法等により、CVDSiO₂膜14を堆積する。

【0010】次に、図8(b)に示すように、フォトリソグラフィ技術を用いて、CVDSiO₂膜14/ポリシリコン膜13/ゲート酸化膜12をパターニングして、素子分離領域のCVDSiO₂膜14/ポリシリコン膜13/ゲート酸化膜12を除去し、続いてパターニングされたCVDSiO₂膜14/ポリシリコン膜13/ゲート酸化膜12をマスクとして、半導体基板11表面をエッチングし、トレンチ15を形成する。その後、トレンチ15形成時のダメージを除去するために、窒素雰囲気中での熱処理を行い、続いてゲート酸化膜12のエッジを保護する意味も含めた熱酸化を行い、トレンチ15側壁に熱酸化膜16を形成する。なお、この熱酸化時に、ポリシリコン膜13側壁も酸化され、熱酸化膜17が形成される。次に、イオン注入法を用い、例えばボロン(B)イオンをイオン注入して、素子分離領域のトレンチ15底部にチャンネル阻止層18を形成する。

【0011】次に、図8(c)に示すように、減圧CVD法等により、LPCVDSiO₂膜19を堆積して、素子分離領域となるトレンチ15部やフローティングゲート電極となる、パターニングされたポリシリコン膜13間等をLPCVDSiO₂膜19で埋め込む。

【0012】次に、図9(d)に示すように、LPCVDSiO₂膜19、ポリシリコン膜13上のCVDSiO₂膜14および熱酸化膜17をエッチバックし、LPCVDSiO₂膜19の表面位置が、ポリシリコン膜13の膜厚の半分程度の位置となるまでエッチバックする。その後、SiO₂膜/Si₃N₄膜/SiO₂膜で構成される、インターポリONO膜20を形成する。次に、図面は省略するが、フォトリソグラフィ技術を用いて、SA-STIセルのメモリセル部以外のインターポ

リONO膜20を除去する。

【0013】次に、図9(e)に示すように、フローティングゲート型MOSトランジスタのコントロールゲート電極とする電極膜、例えばポリシリコン膜21とWSi₂膜22とによるポリサイド膜を形成する。その後は、図面を省略するが、メモリセル部のWSi₂膜22/ポリシリコン膜21/インターポリONO膜20/ポリシリコン膜13/ゲート酸化膜12や、選択MOSトランジスタ部のWSi₂膜22/ポリシリコン膜21/ポリシリコン膜13/ゲート酸化膜12をパターンニングにより、フローティングゲート電極やコントロールゲート電極等で構成されるメモリセルのゲート電極部や、選択MOSトランジスタ部のゲート電極部を形成し、その後イオン注入法等により、ソース・ドレイン層を形成する。更にその後、CVDSiO₂膜の堆積した後、常法に準ずる製法により、NAND型フラッシュメモリの周辺回路部のMOSトランジスタ等の形成、層間絶縁膜の堆積、コンタクトホール形成、配線形成、パッシベーション膜の堆積、パッド開口の形成等を行って、SA-STIセルを用いたNAND型フラッシュメモリを作製する。

【0014】しかしながら、上述したNAND型フラッシュメモリの製造方法においては、トレンチ15形成時のダメージを除去するための熱酸化工程で、トレンチ15部の結晶シリコンの熱酸化膜成長速度と、ポリシリコン膜13側壁のポリシリコンの熱酸化膜成長速度との違いにより、トレンチ15側壁の熱酸化膜16とポリシリコン膜13側壁の熱酸化膜17の膜厚が大きく異なり、図9(e)のR部の拡大図である図10(a)に示すように、トレンチ15上部における熱酸化膜16と半導体

基板11の界面位置が、フローティングゲート電極となるポリシリコン膜13端部の外側の位置となるオフセットが生じ、フローティングゲート電極幅が、メモリセルの素子分離領域間の幅、即ちメモリセルのチャネル幅より狭くなるという現象が起こる。

【0015】図10(a)に示すようなポリシリコン膜13端部とトレンチ15部の絶縁膜端部、即ち熱酸化膜16と半導体基板11の界面位置との間にオフセットが生ずると、書き込みが行われたメモリセル、即ちFNTンネリング(Fowler-Nordheim Tunneling)現象を利用した半導体基板11からフローティングゲート電極への電子注入して、しきい値電圧増加を行ったメモリセルの、記憶データ読み出し時におけるメモリセルのチャネル表面電位分布が、図10

(b)に示すようなものとなる。このような表面電位分布になると、本来OFF状態であるべきメモリセルが、フローティングゲート電極端部において、ソースとドレイン間に電流が流れてON状態として読み出されてしまうので、記憶データを正しく読み出せないメモリセル、所謂不良メモリセルが発生するという問題が発生する虞

がある。

【0016】

【発明が解決しようとする課題】上記従来のNAND型フラッシュメモリの製造方法におけるSA-STIセルのトレンチ型の素子分離領域端部は、トレンチ形成時のダメージを除去するための熱酸化時の、トレンチ部の結晶シリコンと、ポリシリコン膜側壁のポリシリコンとの熱酸化膜速度の違いにより、フローティングゲート電極端部より外側に位置するオフセット状態となるという問題が生じ、記憶データを正しく読み出せないメモリセル、所謂不良メモリセルの発生という問題が起こる虞がある。本発明は、上記事情を考慮してなされたものであり、その目的は、トレンチ型の素子分離領域端部が、フローティングゲート電極端部より外側に位置するオフセット状態となる現象をなくし、この現象による不良メモリセル発生を抑制した、SA-STIセルを用いたNAND型の不揮発性半導体記憶装置の製造方法を提供することにある。

【0017】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置の製造方法は、上述の課題を解決するために提案するものであり、素子分離領域をフローティングゲート電極の幅方向の端部に自己整合的に形成する工程を有するNAND型の不揮発性半導体記憶装置の製造方法において、半導体基板上にトンネル絶縁膜とするゲート酸化膜を形成する工程と、フローティングゲート電極とする、不純物を含む多結晶シリコン膜を形成する工程と、多結晶シリコン膜上に第1の絶縁膜を形成する工程と、少なくとも第1の絶縁膜および多結晶シリコン膜をパターンニングして、フローティングゲート電極用パッド部を形成する工程と、少なくともフローティングゲート電極用パッド部の多結晶シリコン膜側壁に第2の絶縁膜を形成する工程と、第2の絶縁膜が形成されたフローティングゲート電極用パッド部をマスクとして、異方性プラズマエッチング法により、半導体基板表面部に素子分離用溝を形成する工程と、熱酸化法により、素子分離用溝表面を酸化し、素子分離用溝側壁の上部に形成された酸化膜と半導体基板との界面位置が、フローティングゲート電極用パッド部側壁と第2の絶縁膜との界面位置よりメモリセルのチャネル中央部側になるような膜厚の熱酸化膜を形成する工程とを有することを特徴とするものである。

【0018】また、本発明の不揮発性半導体記憶装置の製造方法は、素子分離領域をフローティングゲート電極の幅方向の端部に自己整合的に形成する工程を有するNAND型の不揮発性半導体記憶装置の製造方法において、半導体基板上にトンネル絶縁膜とするゲート酸化膜を形成する工程と、フローティングゲート電極とする、不純物を含む多結晶シリコン膜を形成する工程と、多結晶シリコン膜上に第1の絶縁膜を形成する工程と、少な

くとも第1の絶縁膜および多結晶シリコン膜をパターンニングして、フローティングゲート電極用パッド部を形成する工程と、少なくともフローティングゲート電極用パッド部の多結晶シリコン膜側壁に第2の絶縁膜を形成する工程と、第2の絶縁膜が形成されたフローティングゲート電極用パッド部をマスクとして、等方性プラズマエッチング法、および等方性プラズマエッチングと異方性プラズマエッチングを組み合わせたプラズマエッチング法のうち、何れか一方の方法を用いて半導体基板をエッチングし、エッチングにより形成される溝側壁の上部位置が、フローティングゲート電極用パッド部側壁と第2の絶縁膜との界面位置よりメモリセルのチャネル中央部側の位置となるまでエッチングすることで素子分離用溝を形成する工程と、熱酸化法により、素子分離用溝表面に熱酸化膜を形成する工程とを有することを特徴とするものである。

【0019】本発明によれば、素子分離領域をフローティングゲート電極の幅方向の端部に自己整合的に形成する工程を有するNAND型の不揮発性半導体記憶装置を、上述の如き製造方法で作製することで、フローティングゲート電極用パッド部より形成されるメモリセルのフローティングゲート電極幅方向のフローティングゲート電極端部が、素子分離用溝の絶縁膜上方に位置させることができ、従来のような書き込んだ状態（しきい値電圧が大きい状態）にあるメモリセルを読み出す際に、メモリセルのチャネルのフローティングゲート電極端部付近における表面電位低下でソースとドレイン間に電流が流れるという、メモリセルの誤動作現象が起こる虞がない。また、上述の如き製造方法を用いると、メモリセルのチャネル幅をフローティングゲート電極幅より小さくすることが可能で、不揮発性半導体記憶装置の低電圧駆動に寄与するフローティングゲート電極の容量結合比を大きくでき、データ保持時間の向上が可能となる。従って、信頼性の高い、高集積化した不揮発性半導体記憶装置の作製が可能となる。

【0020】

【発明の実施の形態】以下、本発明の具体的実施の形態例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図8～図9中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0021】実施の形態例1

本実施の形態例は、SA-STEセルを用いたNAND型フラッシュメモリである、不揮発性半導体記憶装置の製造方法に本発明を適用した例であり、これを図1および図2を参照して説明する。まず、図1(a)に示すように、NAND型フラッシュメモリのメモリセル部と周辺回路部等とを分離するためのP型のウェル等が形成されている半導体基板11表面に、熱酸化法を用いて、フローティングゲート型MOSトランジスタのトンネル絶縁膜等にする、ゲート酸化膜12を膜厚約10nm程度

形成する。その後、減圧CVD法等により、フローティングゲート電極とする、膜厚約400nm程度の、不純物をドーパしたポリシリコン膜13を形成し、更に第1の絶縁膜、例えば常圧CVD法等による、CVD SiO₂膜14を膜厚約100nm程度堆積する。

【0022】次に、図1(b)に示すように、フォトリソグラフィ技術を用いて、CVD SiO₂膜14/ポリシリコン膜13をパターンニングして素子分離領域のCVD SiO₂膜14/ポリシリコン膜13を除去し、SA-STEセル（図7参照）の素子領域を覆う、CVD SiO₂膜14とポリシリコン膜13によるフローティングゲート電極用パッド部30を形成する。なお、CVD SiO₂膜14/ポリシリコン膜13のパターンニング時に、素子分離領域のポリシリコン膜13下の薄いゲート酸化膜12がエッチングされた状態となってもよい。

【0023】次に、第2の絶縁膜、例えば高温CVD法（HTO法）による膜厚約10nm程度のHTO膜31と、このHTO膜31上の減圧CVD法による膜厚約10nm程度のSi₃N₄膜32とで構成される絶縁膜を形成する。ここで、第2の絶縁膜を構成するHTO膜31は、フラッシュメモリの動作時にフローティングゲート電極より電子がSi₃N₄膜32に流れて、Si₃N₄膜32中にトラップされて、メモリセルが誤動作する現象を起こさないための、電子流阻止膜となるものである。一方、第2の絶縁膜を構成するSi₃N₄膜32は、後述するトレンチ33表面部の酸化時に、フローティングゲート電極用パッド部30のポリシリコン膜13側壁の酸化を防止するための、酸化防止膜となるものである。なお、第2の絶縁膜を構成するHTO膜31の代わりに、フローティングゲート電極用パッド部30のポリシリコン膜13を熱酸化して形成する熱酸化膜を用いてもよい。

【0024】次に、図1(c)に示すように、フローティングゲート電極用パッド部30をマスクとして、異方性プラズマエッチング、例えばECRエッチング装置を用い、Si₃N₄膜32、HTO膜31、ゲート酸化膜12をエッチングする第1段階の異方性プラズマエッチングと、その後半導体基板11をエッチングして素子分離用溝（トレンチ）を形成するための、第2段階の異方性プラズマエッチングとの2段階の異方性プラズマエッチングにより、深さ約500nm程度の浅いトレンチ33を形成する。なお、上述したECRエッチング装置による2段階の異方性プラズマエッチングの条件としては、例えば下記のようなものである。

【第1段階の異方性プラズマエッチング条件】

Cl ₂ ガス流量	:	75 sccm
圧力	:	0.4 Pa
マイクロ波パワー	:	1200 W
RFパワー	:	70 W (2MHz)

【第2段階の異方性プラズマエッチング条件】HBrガ

ス流量 : 120 sccm
 O₂ ガス流量 : 4 sccm
 圧力 : 0.5 Pa
 マイクロ波パワー : 1200 W
 RFパワー : 70 W (2MHz)

なお、上述したトレンチ33形成は、異方性プラズマエッチングにより行われるので、第2の絶縁膜であるHTO膜31とSi₃N₄膜32とが、フローティングゲート電極用パッド部30側壁に残存した状態となる。

【0025】次に、異方性プラズマエッチングによるトレンチ33形成時のゲート酸化膜やトレンチ33表面部のダメージを除去するために、まず窒素雰囲気中での熱処理を行い、続いて熱酸化を行い、トレンチ33表面に熱酸化膜34を形成する。この熱酸化膜34の膜厚は、トレンチ33表面部における半導体基板11と熱酸化膜34との界面位置をフローティングゲート電極用パッド部30の側壁位置よりチャンネル中央部側にずらす酸化膜厚、例えば約50nmとする。次に、イオン注入法を用い、例えばボロン(B)イオンをイオン注入して、素子

〔TEOS膜35等のエッチバック条件〕

CHF₃ ガス流量 : 30 sccm
 CF₄ ガス流量 : 50 sccm
 Ar ガス流量 : 100 sccm
 圧力 : 240 Pa
 RFパワー : 500 W (13.56MHz)

【0028】次に、図2(f)に示すように、例えば高温CVD法により形成する、膜厚約6nm程度のHTO膜と、減圧CVD法で形成する、膜厚約8nm程度のSi₃N₄膜と、熱酸化法により、上記Si₃N₄膜を酸化して形成する、膜厚約6nm程度のSiO₂膜とで構成する、インターポリONO膜20を形成する。その後、図面は省略するが、フォトリソグラフィ技術を用いて、フローティングゲート電極用パッド部30のメモリセル部以外のインターポリONO膜20を除去する。その後、メモリセルのコントロールゲート電極とする、ポリシリコン膜21およびシリサイド膜、例えばWSi₂膜22を堆積する。

【0029】その後は、図面を省略するが、SA-STIセルのメモリセル部のWSi₂膜22/ポリシリコン膜21/インターポリONO膜20/ポリシリコン膜13/ゲート酸化膜12や、SA-STIセルの選択MOSトランジスタ部のWSi₂膜22/ポリシリコン膜21/ポリシリコン膜13/ゲート酸化膜12をパターンニングして、フローティングゲート電極やコントロールゲート電極等で構成されるメモリセルのゲート電極部や、選択MOSトランジスタ部のゲート電極部を形成し、その後イオン注入法等により、ソース・ドレイン層を形成する。更にその後、CVDSiO₂膜の堆積した後、常法に準ずる製法により、NAND型フラッシュメモリの周辺回路部のMOSトランジスタ等の形成、層間絶縁膜

分離領域のトレンチ33底部にチャンネル阻止層18を形成する。

【0026】次に、図2(d)に示すように、例えば、TEOS(Tetraethylorthosilicate)ガス等を用いた減圧CVD法により、膜厚約400nm程度のTEOS膜35を堆積し、トレンチ33部やフローティングゲート電極用パッド部30間をTEOS膜35で埋め込む。

【0027】次に、図2(e)に示すように、TEOS膜35と、フローティングゲート電極用パッド部30のCVDSiO₂膜14およびフローティングゲート電極用パッド部30側壁のHTO膜31とSi₃N₄膜32とを、例えばマグネトロン型RIE装置を用いてエッチバックし、TEOS膜35の表面位置がポリシリコン膜13の膜厚の中央より下方で、ゲート酸化膜12よりは上方の位置にくる状態とする。なお、上述したマグネトロン型RIE装置によるエッチバック条件としては、例えば下記のようなものである。

の堆積、コンタクトホール形成、配線形成、パッシベーション膜の堆積、パッド開口の形成等を行って、SA-STIセルを用いたNAND型フラッシュメモリを製作する。

【0030】上述したNAND型フラッシュメモリの製造方法においては、図2(f)のP部の拡大図である図3に示すように、トレンチ33上部における熱酸化膜34と半導体基板11との界面の位置が、フローティングゲート電極であるポリシリコン膜13端部の位置よりチャンネルの中央部側となっているために、従来例の説明で使用した図10(b)のような書き込みが行われたメモリセルの読み出し時にチャンネル幅の周辺における表面電位が低下がなく、従ってソースとドレイン間には電流が流れず、正常なメモリセル動作をする。

【0031】また、このメモリセルにおけるフローティングゲート電極の容量結合比Rは、 $R = C_2 / (C_1 + C_2) \approx (1 + (W_1 / (W_1 + 2(\Delta W_1 + H_1))) \cdot d_2 / d_1)^{-1}$ となるので、熱酸化膜34を厚くすることで容量結合比Rの向上が可能となる。ここで、C₁はフローティングゲート電極と半導体基板11間の容量、C₂はフローティングゲート電極とコントロールゲート電極間の容量、d₁はゲート酸化膜12の膜厚、d₂はインターポリONO膜20の等価酸化膜厚、W₁は図2(f)に示すメモリセルのチャンネル幅、H₁は図2(f)に示すポリシリコン膜21と対向するポリ

シリコン膜13側壁の長さ、 ΔW_1 は図3に示すオフセット幅である。

【0032】実施の形態例2

本実施の形態例は、SA-STIセルを用いたNAND型フラッシュメモリである、不揮発性半導体記憶装置の製造方法に本発明を適用した例であり、これを図4および図5を参照して説明する。まず、図4(a)に示すように、NAND型フラッシュメモリのメモリセル部と周辺回路部等とを分離するためのウェル等が形成されている半導体基板11表面に、熱酸化法を用いて、フローティングゲート型MOSトランジスタのトンネル絶縁膜にする、ゲート酸化膜12を膜厚約10nm程度形成する。その後、減圧CVD法等により、フローティングゲート電極とする、膜厚約400nm程度の、不純物をドーパしたポリシリコン膜13を形成し、更に第1の絶縁膜、例えば常圧CVD法等による、CVD SiO₂膜14を膜厚約200nm程度堆積する。

【0033】次に、図4(b)に示すように、フォトリソグラフィ技術を用いて、CVD SiO₂膜14/ポリシリコン膜13をパターンニングし、素子分離領域のCVD SiO₂膜14/ポリシリコン膜13を除去して、SA-STIセルの素子領域を覆う、CVD SiO₂膜14とポリシリコン膜13によるフローティングゲート電極用パッド部40を形成する。なお、CVD SiO₂膜14/ポリシリコン膜13のパターンニング時に、素子分離領域のポリシリコン膜13下の薄いゲート酸化膜12がエッチングされた状態となってもよい。

【0034】次に、フローティングゲート電極用パッド部40のポリシリコン膜13側壁に第2の絶縁膜、例えば熱酸化法による膜厚約50nm程度の熱酸化膜41を形成する。上述した熱酸化で、ポリシリコン膜13表面も酸化が進むが、ポリシリコン膜13表面には、約200nm程度のCVD SiO₂膜14があるため、ポリシリコン膜13の膜厚の減少は無視できる。なお、このフローティングゲート電極用パッド部40のポリシリコン膜13側壁に形成する第2の絶縁膜は、HTO法によって堆積するHTO膜であってもよい。

【0035】次に、図4(c)に示すように、ポリシリコン膜13側壁に熱酸化膜41が形成されたフローティングゲート電極用パッド部40をマスクとして、半導体基板11表面部にトレンチ42を形成する。このトレンチ42の形成は、例えばシリコンと酸化膜のエッチング選択比の比較的大きい平行平板型プラズマエッチング装置により、まず始めにエッチングガス圧力を大きくする等による等方性エッチング条件での等方性プラズマエッチングを行い、トレンチ42上部の側壁位置を、ポリシリコン膜13側壁の熱酸化膜41表面位置より約50nmほどメモリセルのチャネル中央部側にくるようにし、その後エッチングガス圧力を低くする等による異方性エッチング条件での異方性プラズマエッチングにより半導

体基板11のエッチングを継続し、約500nm程度の浅いトレンチ42を形成する。なお、上述の横方向へもエッチングを行うトレンチ42の形成は、異方性プラズマエッチング後に等方性プラズマエッチングを行って形成しても、又等方性プラズマエッチングのみで形成してもよい。

【0036】次に、熱酸化法により、トレンチ42表面を酸化し、トレンチ42表面に膜厚約20nm程度の熱酸化膜43を形成する。その後、イオン注入法を用い、例えばボロン(B)イオンをイオン注入して、素子分離領域のトレンチ42底部にチャネル阻止層18を形成する。

【0037】次に、図5(d)に示すように、例えば、TEOSガス等を用いた減圧CVD法により、膜厚約400nm程度のTEOS膜35を堆積し、トレンチ42部やフローティングゲート電極用パッド部40間をTEOS膜35で埋め込む。

【0038】次に、図5(e)に示すように、TEOS膜35と、フローティングゲート電極用パッド部40上のCVD SiO₂膜14およびフローティングゲート電極用パッド部40のポリシリコン膜13側壁の熱酸化膜41を、例えばマグネトロン型RIE装置を用いた、実施の形態例1と同様なエッチバック条件で、エッチバックし、TEOS膜35の表面位置がポリシリコン膜13の膜厚の中央より下方で、ゲート酸化膜12よりは上方の位置にくる状態とする。

【0039】次に、図5(f)に示すように、例えば高温CVD法により形成する、膜厚約6nm程度のHTO膜と、減圧CVD法で形成する、膜厚約8nm程度のSi₃N₄膜と、熱酸化法により、上記Si₃N₄膜を酸化して形成する、膜厚約6nm程度のSiO₂膜とで構成する、インターポリONO膜20を形成する。その後、図面は省略するが、フォトリソグラフィ技術を用いて、フローティングゲート電極用パッド部40のメモリセル部以外のインターポリONO膜20を除去する。その後、メモリセルのコントロールゲート電極とする、ポリシリコン膜21およびシリサイド膜、例えばWSi₂膜22を堆積する。

【0040】その後は、図面を省略するが、SA-STIセルのメモリセル部のWSi₂膜22/ポリシリコン膜21/インターポリONO膜20/ポリシリコン膜13/ゲート酸化膜12や、SA-STIセルの選択MOSトランジスタ部のWSi₂膜22/ポリシリコン膜21/ポリシリコン膜13/ゲート酸化膜12をパターンニングして、フローティングゲート電極やコントロールゲート電極等で構成されるメモリセルのゲート部や、選択MOSトランジスタ部のゲート電極部を形成し、その後ソース・ドレインを形成する。更にその後、CVD SiO₂膜の堆積した後、常法に準ずる製法により、NAND型フラッシュメモリの周辺回路部のMOSトランジス

タ等の形成、層間絶縁膜の堆積、コンタクトホール
の形成、配線形成、パッシベーション膜の堆積、パッド開口
の形成等を行って、SA-STIセルを用いたNAND
型フラッシュメモリを作製する。

【0041】上述したNAND型フラッシュメモリの製
造方法においては、図5(f)のQ部の拡大図である図
6に示すように、トレンチ42上部における熱酸化膜4
3と半導体基板11との界面の位置が、フローティング
ゲート電極であるポリシリコン膜13端部の位置よりチ
ャネルの中央部側となっているために、従来例の説明で
使用した図10(b)のような書き込みが行われたメモ
リセルの読み出し時にチャネル幅の周辺における表面電
位が低下するということがなく、従ってソースとドレイン
間には電流が流れず、正常なメモリセル動作をする。

【0042】また、このメモリセルにおけるフローティ
ングゲート電極の容量結合比Rは、 $R = C_2 / (C_1 + C_2) \approx (1 + (W_2 / (W_2 + 2(\Delta W_2 + H_2))) d_2 / d_1)^{-1}$ となるので、トレンチ42の
横方向エッチングを増加させることで容量結合比Rの向
上が可能となる。ここで、 C_1 はフローティングゲート
電極と半導体基板11間の容量、 C_2 はフローティング
ゲート電極とコントロールゲート電極間の容量、 d_1 は
ゲート酸化膜12の膜厚、 d_2 はインターポリONO膜
20の等価酸化膜厚、 W_2 は図5(f)に示すメモリセル
のチャネル幅、 H_2 は図5(f)に示すポリシリコン
膜21と対向するポリシリコン膜13側壁の長さ、 ΔW_2
は図6に示すオフセット幅である。

【0043】以上、本発明を2例の実施の形態例により
説明したが、本発明はこれらの実施の形態例に何ら限定
されるものではない。例えば、本発明の実施の形態例で
は、第1の絶縁膜をCVD SiO₂膜として説明したが、
CVD法等によるSiN膜やSiON膜等でもよい。また、
本発明の実施の形態例1では、第2の絶縁膜
を構成する酸化防止膜としてSi₃N₄膜を用いて説明
したが、化学量論からずれたSi_xN_y膜であってもよい。

【0044】更に、本発明の実施の形態例2では、第2
の絶縁膜として熱酸化膜やHTO膜等の酸化膜とした
が、実施の形態例1と同様に電子の流れを阻止する熱酸
化膜やHTO膜と酸化防止膜としてのSi₃N₄膜とで
構成する第2の絶縁膜であってもよい。更にまた、本発
明の実施の形態例では、コントロールゲート電極とする
電極膜をポリシリコンとWSi₂膜とによるポリサイド
膜として説明したが、ポリシリコン膜のみでも、又ポリ
シリコン膜と、MoSi₂膜、CoSi₂膜、TiSi₂膜等の高融点金属シリサイド膜とによるポリサイド膜
であってもよい。その他、本発明の技術的思想の範囲内
で、プロセス装置やプロセス条件は適宜変更が可能であ
る。

【0045】

【発明の効果】以上の説明から明らかなように、本発明
のSA-STIセルを用いたNAND型フラッシュメモリ
である、不揮発性半導体記憶装置の製造方法は、トレ
ンチ上部側壁における熱酸化膜と半導体基板との界面位
置をフローティングゲート電極となるポリシリコン膜側
壁位置よりメモリセルのチャネル中央側に位置させるこ
とにより、書き込み状態（しきい値電圧の大きい状態）
のメモリセルの読み出し時におけるメモリセルのフロ
ーティングゲート電極幅端部でのソースとドレイン間の電
流を阻止でき、メモリセルが誤動作する虞がない。また、
不揮発性半導体記憶装置の低電圧化に関係するフロ
ーティングゲート電極の容量結合比を大きくすることが
可能である。従って、信頼性の高い、高集積化したNA
ND型の不揮発性半導体記憶装置の作製が可能となる。

【図面の簡単な説明】

【図1】本発明を適用した実施の形態例1の工程の前半
を工程順に説明する、NAND型不揮発性半導体記憶装
置のSA-STIセル部の概略断面図で、(a)は半導
体基板上にゲート酸化膜、ポリシリコン膜およびCVD
SiO₂膜を形成した状態、(b)はフローティングゲ
ート電極用パッド部を形成後、HTO膜およびSi₃N
₄膜を堆積した状態、(c)はHTO膜およびSi₃N
₄膜が堆積されたフローティングゲート電極用パッド部
をマスクとしてトレンチを形成し、その後トレンチ表面
に熱酸化膜を形成した状態である。

【図2】本発明を適用した実施の形態例1の工程の後半
を工程順に説明する、NAND型不揮発性半導体記憶装
置のSA-STIセル部の概略断面図で、(d)はTE
OS膜を堆積した状態、(e)はTEOS膜等をエッチ
バックして、TEOS膜の表面位置をゲート酸化膜位置
より僅か上方とした状態、(f)はインターポリONO
膜を形成し、コントロールゲート電極となるポリシリ
コン膜とWSi₂膜を堆積した状態である。

【図3】図2(f)のP部の拡大図である。

【図4】本発明を適用した実施の形態例2の工程の前半
を工程順に説明する、NAND型不揮発性半導体記憶装
置のSA-STIセル部の概略断面図で、(a)は半導
体基板上にゲート酸化膜、ポリシリコン膜およびCVD
SiO₂膜を形成した状態、(b)はフローティングゲ
ート電極用パッド部のポリシリコン膜側壁に熱酸化膜を
形成した状態、(c)はポリシリコン膜側壁に熱酸化膜
が形成されたフローティングゲート電極用パッド部をマ
スクとして、サイドエッチのあるトレンチを形成し、そ
の後トレンチ表面に熱酸化膜を形成した状態である。

【図5】本発明を適用した実施の形態例2の工程の後半
を工程順に説明する、NAND型不揮発性半導体記憶装
置のSA-STIセル部の概略断面図で、(d)はTE
OS膜を堆積した状態、(e)はTEOS膜等をエッチ
バックして、TEOS膜の表面位置をゲート酸化膜位置
より僅か上方とした状態、(f)はインターポリONO

膜を形成し、コントロールゲート電極となるポリシリコン膜と WSi_2 膜を堆積した状態である。

【図6】図5(f)のQ部の拡大図である。

【図7】従来のSA-STIセルを用いたNAND型フラッシュメモリのSA-STIセル部を説明するための図で、(a)はSA-STIセル部の概略平面図、

(b)は図7(a)のA-A部における概略断面図である。

【図8】従来のSA-STIセルを用いたNAND型フラッシュメモリの製造方法の工程の前半を工程順に説明する、NAND型不揮発性半導体記憶装置のSA-STIセル部の概略断面図で、(a)は半導体基板上にゲート酸化膜、ポリシリコン膜および CVDSiO_2 膜を形成した状態、(b)は素子分離領域となるトレンチ部を形成した後、トレンチ表面およびポリシリコン膜側壁に熱酸化膜を形成した状態、(c)は LPCVDSiO_2 膜を堆積した状態である。

【図9】従来のSA-STIセルを用いたNAND型フラッシュメモリの製造方法の工程の後半を工程順に説明する、NAND型不揮発性半導体記憶装置のSA-ST

10

Iセル部の概略断面図で、(d)は LPCVDSiO_2 膜等をエッチバックして、 LPCVDSiO_2 膜の表面位置をゲート酸化膜位置より僅か上方とした状態、

(e)はインターポリONO膜を形成し、コントロールゲート電極となるポリシリコン膜と WSi_2 膜を堆積した状態である。

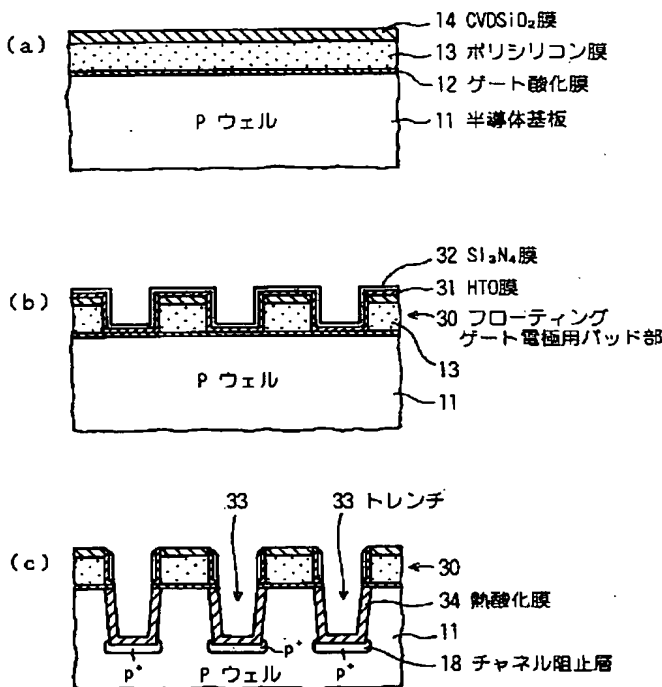
【図10】従来のSA-STIセルを用いたNAND型フラッシュメモリの製造方法の問題を説明する図で、

(a)は図9(e)のR部の拡大図、(b)はチャンネル部の表面電位分布図である。

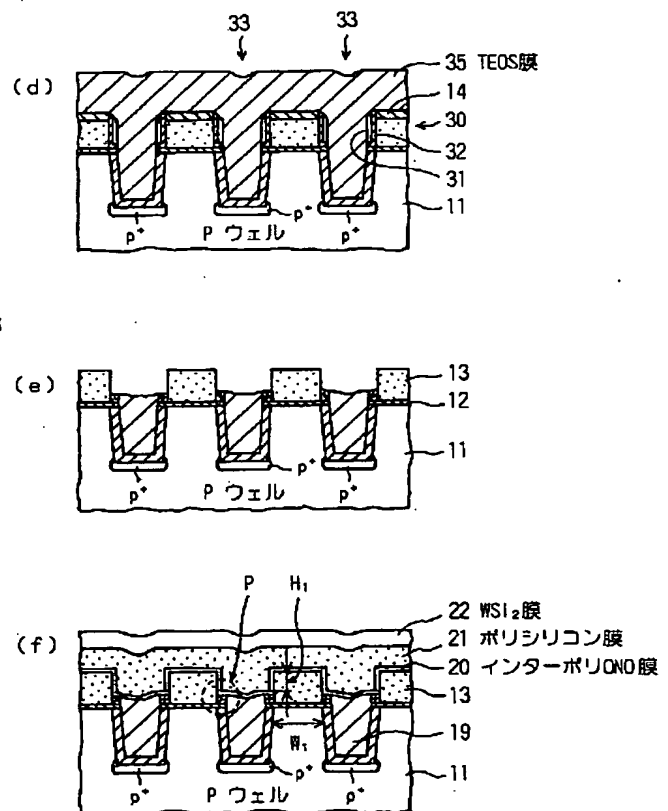
【符号の説明】

11…半導体基板、12…ゲート酸化膜、13、21…ポリシリコン膜、14… CVDSiO_2 膜、15、33、42…トレンチ、16、17、34、41、43…熱酸化膜、18…チャンネル阻止層、19… LPCVDSiO_2 膜、20…インターポリONO膜、22… WSi_2 膜、30、40…フローティングゲート電極用パッド部、31…HTO膜、32… Si_3N_4 膜、35…TEOS膜

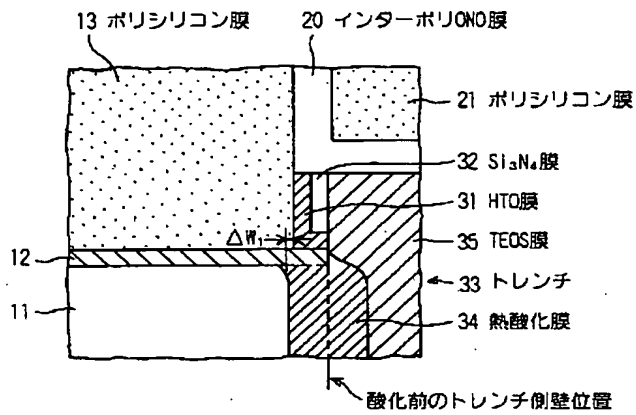
【図1】



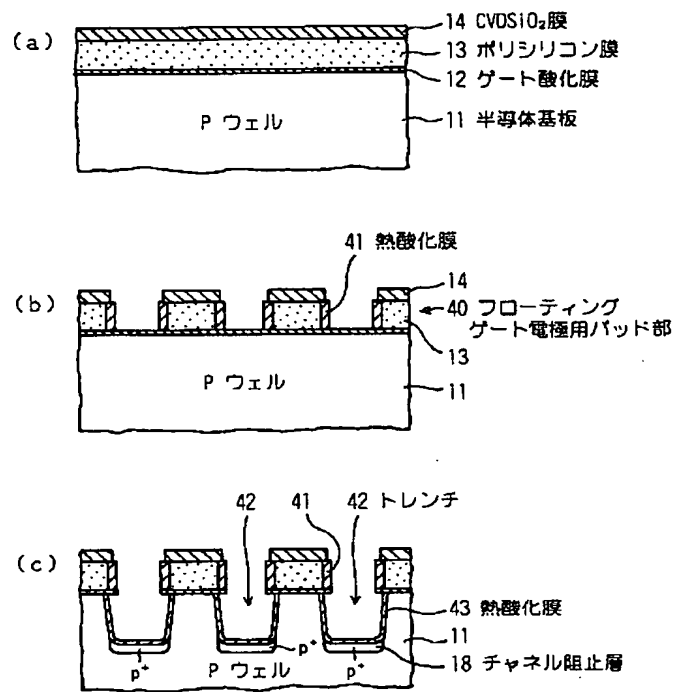
【図2】



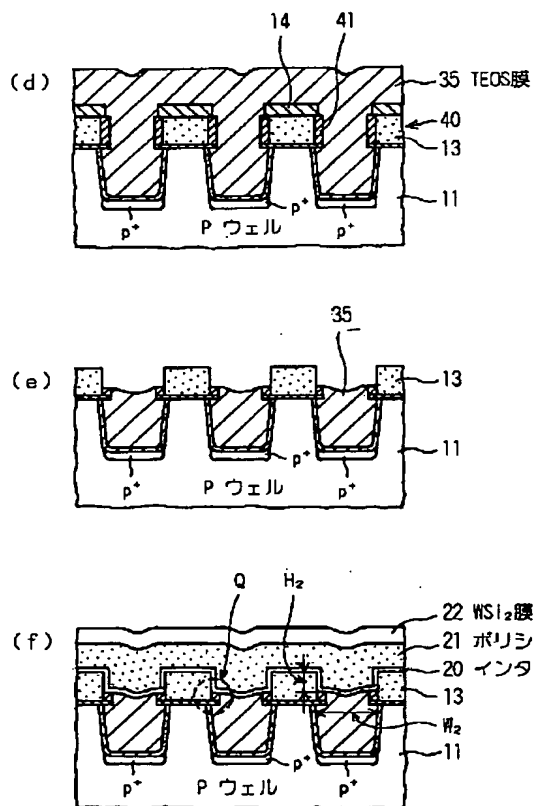
【図 3】



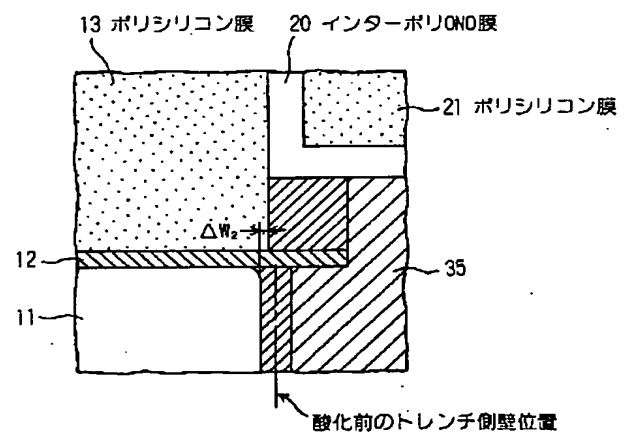
【図 4】



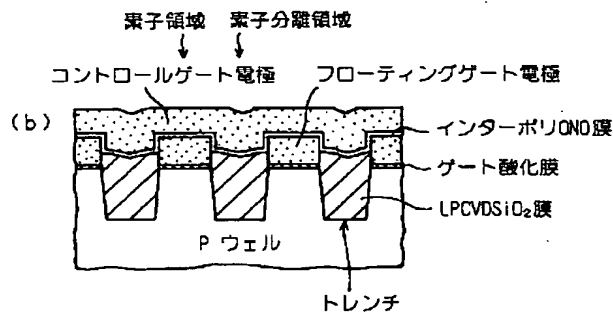
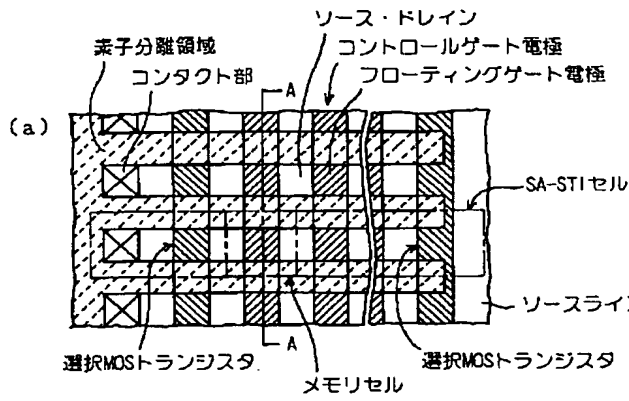
【図 5】



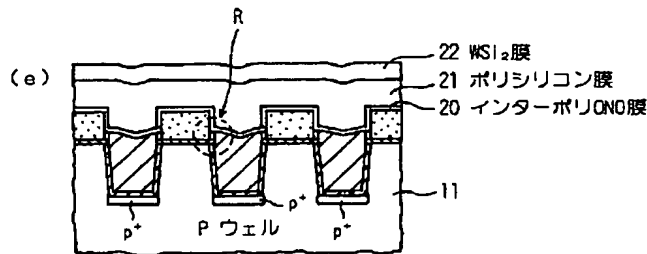
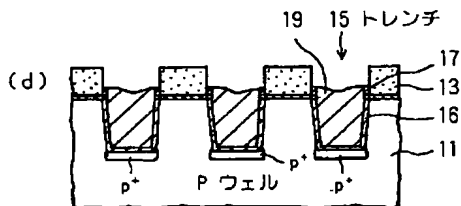
【図 6】



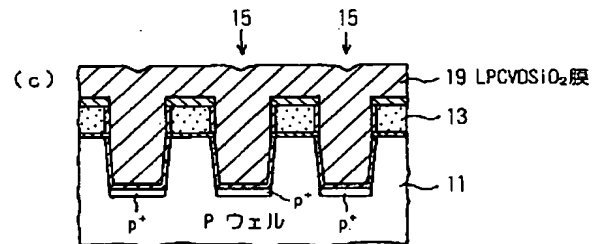
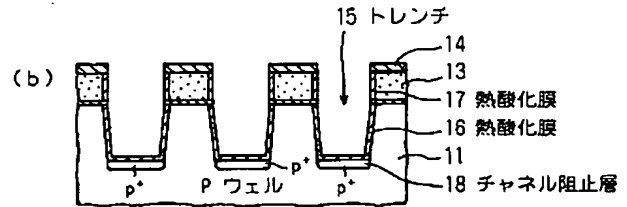
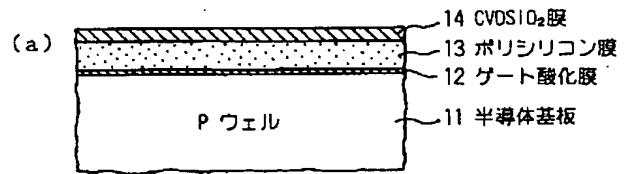
【図 7】



【図 9】



【図 8】



【図 10】

